



PATENT ABSTRACTS OF JAPAN

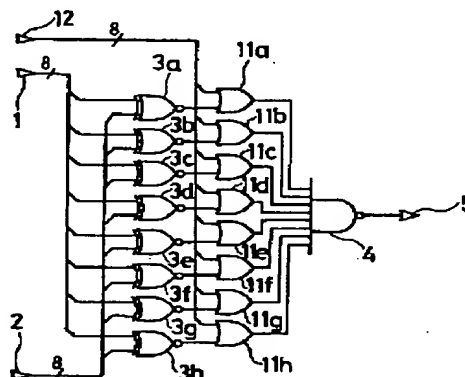
(11) Publication number: **05211000 A**(43) Date of publication of application: **20 . 08 . 93**

(51) Int. Cl. **G11C 29/00**
G01R 31/318

(21) Application number: **04046254**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **30 . 01 . 92**(72) Inventor: **USHIO TOMOHIRO****(54) MEMORY TEST DEVICE****(57) Abstract:**

PURPOSE: To decide that any bit is defect by only one output terminal by specifying a bit made effective with a test bit specification signal at the time of testing the memory of multi-bit output and outputting from one particular terminal.

CONSTITUTION: The coincidence/noncoincidence of data inputted from a first input terminal 1 and a second input terminal 2 is decided by an ENOR 3. Then only the decision result of an optional bit among the decision results of the ENOR 3 is made effective by a test bit specifying signal outputted from a third input terminal 12. Then whether all decision results of the bit made effective coincide or not are decided by an eight inputs NAND 4.



COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-211000

(43)公開日 平成5年(1993)8月20日

(51)IntCl.⁵

G11C 29/00

G01R 31/318

識別記号

303 A 9288-5L

6912-2G

庁内整理番号

FI

G01R 31/28

技術表示箇所

B

審査請求 未請求 請求項の数3(全10頁)

(21)出願番号

特願平4-46254

(22)出願日

平成4年(1992)1月30日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 牛尾 知弘

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社北伊丹製作所内

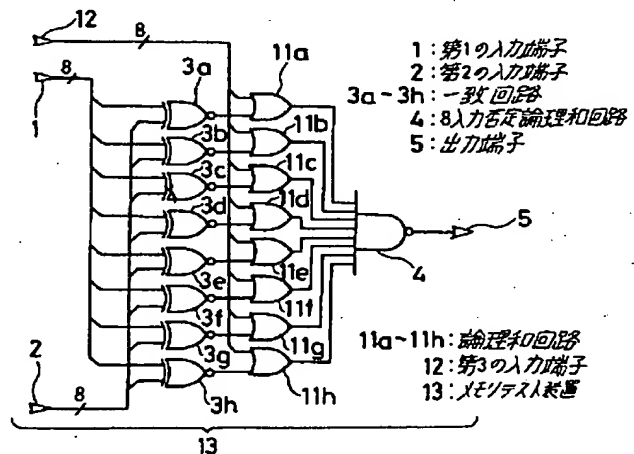
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 メモリテスト装置

(57)【要約】

【目的】 多ビット出力のメモリに対しても、1つのテスト出力の論理値によりメモリの良否が判別でき、任意のビットについての良否が判別できるメモリテスト装置を得る。

【構成】 第1の入力端子1および第2の入力端子2から入力されるデータの一致、不一致をENOR3により判定する第1の判定手段と、第3の入力端子12から出力されるテストビット指定信号により、ENOR3の判定結果のうち任意のビットの判定結果のみを有効とする有効化手段と、その有効とされたビットの判定結果がすべて一致しているかどうかを8入力NAND4で判定する第2の判定手段とを有する。



【特許請求の範囲】

【請求項1】 多ビット出力の被テストメモリに書き込まれた書き込みデータを読み出した第1のデータと、前記書き込みデータと同じ内容の第2のデータとを比較し、それらの内容の一致、不一致を判定することにより前記被テストメモリをテストするメモリテスト装置において、

前記第1および第2のデータがそれぞれ入力される第1および第2の入力端子と、

前記第1および第2のデータのそれぞれのビットについてデータ内容の一致、不一致を判定し、これら判定結果を一致出力または不一致出力として出力する第1の判定手段と、

前記第1の判定手段の判定結果のうち1つ以上の所定のビットの判定結果を有効とする有効化手段と、

前記有効化手段により有効とされたビットの判定結果のすべてが一致出力であるかどうかを判定する第2の判定手段とを備えたことを特徴とするメモリテスト装置。

【請求項2】 請求項1記載のメモリテスト装置において、

前記被テストメモリの出力および入力にそれぞれ第1および第2の入力端子を接続し、

前記被テストメモリの入力と第2の入力端子の接続点に、第2のデータが入力される第2データ入力端子を接続し、

有効とするビットを指定するテストビット指定信号が入力されるテストビット指定端子を前記メモリテスト装置の有効化手段に接続して被テストメモリのテストを行うことを特徴とするメモリテスト装置。

【請求項3】 請求項1記載のメモリテスト装置において、

前記被テストメモリの出力および入力にそれぞれ第1および第2の入力端子を接続し、

有効とするビットを指定するテストビット指定信号を記憶する記憶手段を前記メモリテスト装置の有効化手段に接続し、

前記テストビット指定信号と第2のデータが入力されるデータ入力端子と、前記記憶手段あるいは前記被テストメモリの入力と第2の入力端子の接続点のいずれかとの接続を切り換えるスイッチ手段を、データ入力端子と、接続点および記憶手段との間に接続し、

前記記憶手段とスイッチ手段の動作を制御信号によって制御して被テストメモリのテストを行うことを特徴とするメモリテスト装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はメモリテスト装置に関し、特に、多ビット出力のメモリにおいて、どのビットが不良ビットであるかを検出できるメモリテスト装置に関するものである。

【0002】

【従来の技術】図8は、従来のメモリテスト装置の構造を示す回路図であり、ここでは1ワード当たり8ビットのメモリに対応するものについて示している。図において、8は従来のメモリテスト装置である。1は8個の入力をもつ第1の入力端子であり、該メモリテスト装置8によりテストされる被テストメモリからの出力データが入力される。2は8個の入力をもつ第2の入力端子であり、ここには被テストメモリに入力する入力データと同じものが入力される。3a～3hは一方の入力が第1の入力端子1に、もう一方の入力が第2の入力端子2にそれぞれ接続された一致回路（以下、ENORと称す）、4は8個の入力にENOR 3a～3hの出力がそれぞれ接続された8入力否定論理和回路（以下、8入力NANDと称す）、5は8入力NAND 4の出力に接続された出力端子である。以上第1の入力端子1、第2の入力端子2、ENOR 3a～3h、8入力NAND 4、出力端子5より該メモリテスト装置8が構成されている。

【0003】次に上記メモリテスト装置8の動作について説明する。第1の入力端子1に入力された8ビットの信号は、それぞれ1ビットずつ、ENOR 3a～3hの一方の入力に加えられる。第2の入力端子2に入力された8ビットの信号はそれぞれ1ビットずつ、ENOR 3a～3hのもう一方の入力に加えられる。ENOR 3a～3hでは、入力された2つの信号が一致していればHレベルを、不一致であればLレベルをそれぞれ出力する。ENOR 3a～3hより出力された信号は、8入力NAND 4に加えられる。ENOR 3a～3hより出力された信号が全てHレベルであれば、つまり第1の入力端子1に入力された8ビットの信号と第2の入力端子2に入力された8ビットの信号が全て一致している場合は、8入力NAND 4よりLレベルが出力され、出力端子5にLレベルが現れる。ENOR 3a～3hより出力された信号のうち、1つでもLレベルであれば、つまり、第1の入力端子1に入力された8ビットの信号と第2の入力端子2に入力された8ビットの信号の間に1ビットでも不一致があった場合は、8入力NAND 4よりHレベルが出力され、出力端子5にHレベルが現れる。

【0004】図9は上記図8に示す従来のメモリテスト装置8を用いたメモリテスト装置を説明するためのブロック図であり、図中、図8と同一符号は同一または相当部分を示す。図9において、6はデータ入力端子であり、該データ入力端子6より入力された入力データは、メモリ7およびメモリテスト装置8に入力される。7はメモリテスト装置8によりテストされるメモリであり、該メモリ7は8ビットメモリである。7aはデータ入力端子6に接続されているメモリ7のデータ入力端子、7bはデータ出力端子9に接続されているメモリ7のデータ出力端子、9はメモリ7の出力データを出力するデータ出力端子、10はメモリテスト装置8に接続されたテ

スト出力端子であり、メモリテスト装置8の出力データを出力する。また、図10は上記メモリテスト装置の動作を示すタイミングチャートであり、ここではデータを16進法で示している。

【0005】次に、メモリテスト装置8を用いたメモリ7のテスト方法について説明する。テストを行う際には、被テストメモリであるメモリ7に2回繰り返して同じデータが書き込まれるような信号を入力端子6に入力し、1つのアドレスについて読み出し動作が行われた後に書き込み動作を行うと言う順序で動作させ、そしてアドレスを変化させる。例えば、図10に示すように、1周期目のメモリ7のアドレス0, 1, 2・・・には入力データとしてそれぞれ00H, 11H, 22H・・・が書き込まれ、2周期目ではアドレス0, 1, 2・・・では、まず、1周期目に書き込まれたデータが出力データとして読み出された後、1周期目に書き込まれたデータと同じ入力データ(00H, 11H, 22H・・・)が書き込まれる。ここで、メモリ7で読み出された1周期目のデータは、メモリ7の出力端子7bから出力データとして出力され、メモリテスト装置8の第1の入力端子1に入力される。また、2周期目にメモリ7に入力された書き込みデータは同時にメモリテスト装置8の第2の入力端子2にも入力される。

【0006】こうして、メモリテスト装置8の第1の入力端子1には、一旦メモリ7に書き込まれた入力データを読み出したデータ(1周期目の出力データ)が入力され、第2の入力端子2にはメモリ7に書き込むデータ(2周期目の入力データ)と同じデータが入力されることとなる。メモリ7が正常であるならば第1の入力端子1と第2の入力端子2には同じデータが入力されるので出力端子5にはLレベルが現れる。一方、メモリ7に何らかの異常がある場合には、第1の入力端子1と第2の入力端子2に入力されるデータが一致しないので、出力端子5にはHレベルが現れる。

【0007】例えば、図10において、2周期目のアドレス0, 1ではメモリ7の入力データ(メモリテスト装置8の第2の入力端子2に入力されるデータ)および出力データ(メモリテスト装置8の第1の入力端子1に入力されるデータ)は共にそれぞれ00H, 11Hであるのでテスト出力はLレベルであり、このアドレスのデータが期待通りであることが判る。一方、2周期目のアドレス2, 3ではメモリ7の入力データはそれぞれ22H(100010B), 33H(110011B)であるが、このときの出力データには誤りがあり、それぞれ20H(100000B), 31H(110001B)が出力されているため、下位から2ビット目が不一致でありメモリテスト装置8の出力端子5からはHレベルが出力され、メモリ7に何らかの異常があり、正しく動作していない事が判る。

【0008】

【発明が解決しようとする課題】従来のメモリテスト装置は以上のように構成されているので、多ビット出力のメモリをテストする場合であっても、テスト装置の出力の論理値1つのみによりメモリの良否を判別しているもので、出力期待値が簡単でありテストは簡単に行うことができるものの、メモリが不良だった場合、そのメモリのどのビットに不良が有るのかを知ることができないという問題点があった。また、どのビットが不良かを知るためには、各ビット毎のテスト結果を出力する出力端子が必要になり、端子が多くなるなどの問題点があった。

【0009】この発明は上記のような問題を解決するためになされたものであり、多ビット出力のメモリのテストを行う際に、出力端子を増やすことなく、1つの出力のみでどのビットが不良であるのかを容易に判定することができるメモリテスト装置を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明に係るメモリテスト装置は、多ビット出力の被テストメモリに書き込まれた書き込みデータを読み出した第1のデータおよび前記書き込みデータと同じ内容の第2のデータのそれぞれのビットについてデータ内容の一致、不一致を判定し、これら判定結果を一致出力または不一致出力として出力する第1の判定手段と、該第1の判定手段の判定結果のうち1つ以上の所定のビットの判定結果を有効とする有効化手段と、該有効化手段により有効とされたビットの判定結果のすべてが一致出力であるかどうかを判定する第2の判定手段とを備えたものである。

【0011】また、この発明に係るメモリテスト装置は、上記メモリテスト装置において、被テストメモリの出力および入力にそれぞれ第1および第2の入力端子を接続し、被テストメモリの入力と第2の入力端子の接続点に、第2のデータが入力される第2データ入力端子を接続し、有効とするビットを指定するテストビット指定信号が入力されるテストビット指定端子を前記メモリテスト装置の有効化手段に接続して、メモリをテストするようにしたものである。

【0012】さらに、この発明に係るメモリテスト装置は、上記メモリテスト装置において、被テストメモリの出力および入力にそれぞれ第1および第2の入力端子を接続し、有効とするビットを指定するテストビット指定信号を記憶する記憶手段を前記メモリテスト装置の有効化手段に接続し、テストビット指定信号と第2のデータが入力されるデータ入力端子と、記憶手段あるいは前記被テストメモリの入力と第2の入力端子の接続点のどちらかとの接続を切り換えるスイッチ手段を、データ入力端子と、接続点および記憶手段との間に接続し、記憶手段とスイッチ手段の動作を制御信号によって制御し、メモリをテストするようにしたものである。

【0013】

【作用】この発明に係るメモリテスト装置は、被テスト

メモリの任意のビットについてのテスト結果のみを有効とし、その結果を該メモリテスト装置より出力することができるので、該メモリテスト装置の出力端子には、有効とされた任意のビットについての判定結果のみが出力されることとなり、多ビットのメモリをテストする際にも、各ビットの良否を判定するための各ビット用の出力端子を設けることなく、1つの出力端子のみで、どのビットが不良であるのかを容易に判別することができる。

【0014】

【実施例】以下、この発明の一実施例を図について説明する。図1はこの発明の一実施例によるメモリテスト装置の構造を示す回路図であり、ここでは1ワード当たり8ビットのデータに対応するものについて示している。図において、1は8個の入力をもつ第1の入力端子であり、該メモリテスト装置によりテストされる被テストメモリからの出力データが入力される。2は8個の入力をもつ第2の入力端子であり、ここには被テストメモリに入力する入力データと同じものが入力される。3a~3hは一方の入力が第1の入力端子1に、もう一方の入力が第2の入力端子2にそれぞれ接続された一致回路（以下、ENORと称す）、4は8個の入力にOR11a~11hの出力がそれぞれ接続された8入力否定論理和回路（以下、8入力NANDと称す）、5は8入力NAND4の出力に接続された出力端子、11a~11hは一方の入力が第3の入力端子12に、もう一方の入力がENOR3a~3hの出力にそれぞれ接続された論理和回路（以下、ORと称す）、12は8個の入力をもちメモリテスト装置13における有効ビットを指定するためのテストビット指定信号が入力される第3の入力端子である。13はこの発明の一実施例によるメモリテスト装置であり、以上第1の入力端子1、第2の入力端子2、第3の入力端子12、ENOR3a~3h、8入力NAND4、OR11a~11h、出力端子5より該メモリテスト装置13が構成されている。

【0015】次に上記メモリテスト装置13の動作について説明する。第1の入力端子1に入力された8ビットの信号は、それぞれ1ビットずつ、ENOR3a~3hの一方の入力に加えられる。第2の入力端子2に入力された8ビットの信号はそれぞれ1ビットずつ、ENOR3a~3hのもう一方の入力に加えられる。ENOR3a~3hでは、入力された2つの信号が一致していればHレベルを、不一致であればLレベルをそれぞれ出力する。ENOR3a~3hより出力された信号は、OR11a~11hの一方の入力に加えられる。

【0016】ここで、第3の入力端子12に入力されているテストビット指定信号がすべてLレベルである場合、つまりOR11a~11hのもう一方の入力に加えられる信号がすべてLレベルである場合、OR11a~11hの出力にはENOR3a~3hの出力がそのまま伝搬される。この場合は、このメモリテスト装置13は

従来例のメモリテスト装置8と同様の動作をすることとなり、ENOR3a~3hより出力された信号が全てHレベルであれば、つまり、メモリ7の動作が正常で、第1の入力端子1に入力された8ビットの信号と第2の入力端子2に入力された8ビットの信号が一致している場合は、8入力NAND4よりLレベルが出力され、出力端子5にLレベルが現れる。ENOR3a~3hより出力された信号のうち、1つでもLレベルであれば、つまり、メモリ7に何らかの異常があり、第1の入力端子1に入力された8ビットの信号と第2の入力端子2に入力された8ビットの信号が1ビットでも不一致の場合は、8入力NAND4よりLレベルが出力され、出力端子5にHレベルが現れる。

【0017】また、第3の入力端子12に入力されているテストビット指定信号の任意の1つのビットのみがLレベルである場合、OR11a~11hのうち一方の入力にHレベルが入力されたものは、もう一方の入力に接続されているENOR3a~3hの出力に関係なくその出力はHレベルとなる。また、一方の入力にLレベルが入力されたOR11は、もう一方の入力に接続されているENOR3の判別結果をその出力に伝搬する。よって、テストビット指定信号により指定されたビットの判別結果のみ出力端子5に出力することになる。

【0018】例えば、第3の入力端子12からの入力がOR11a~11gに対してはHレベル、OR11hに対してのみLレベルである場合、ENOR3a~3gの一致・不一致の判別結果に係わらずOR11a~11gの出力はHレベルとなるので、ENOR3a~3gの一致・不一致の判別結果は無効化され、ENOR3hの一致・不一致の判別結果出力のみがOR11hの出力に伝搬する。ENOR3hより出力された信号がHレベルの場合、つまり、第1の入力端子1に入力された8ビットのデータと第2の入力端子2に入力された8ビットのデータのうちENOR3hに入力されているビットのデータが一致している場合は、8入力NAND4よりLレベルが出力され、出力端子5にLレベルが現れる。ENOR3hより出力された信号がLレベルの場合、つまり第1の入力端子1に入力された8ビットのデータと第2の入力端子2に入力された8ビットの信号のうちENOR3hに入力されているビットのデータが不一致の場合は、8入力NAND4よりHレベルが出力され、出力端子5にHレベルが現れる。

【0019】このように、上記第1の実施例では、多ビット出力のメモリをテストする際に、テストビット指定信号により有効とするビットを指定し、有効ビットのテスト結果のみをメモリテスト装置の出力として、1つの出力端子から出力するようできるので、各ビット毎にテスト用の端子を設けることもなく、どのビットが不良であるかを1つの出力端子のみで容易に判定することができる。

【0020】図2はこの発明の第2の実施例によるメモリテスト装置を説明するためのブロック図であり、図中、図1と同一符号は同一または相当部分を示す。なお、該メモリテスト装置においては、上記第1の実施例によるメモリテスト装置13を使用している。図2において、6はデータ入力端子であり、該データ入力端子6より入力された入力データは、メモリ7およびメモリテスト装置13に入力される。7はメモリテスト装置13によりテストされるメモリであり、該メモリ7は8ビットメモリである。7aはデータ入力端子6に接続されているメモリ7のデータ出力端子、7bはデータ出力端子9に接続されているメモリ7のデータ出力端子、9はメモリ7の出力データを出力するデータ出力端子、10はメモリテスト装置13に接続されたテスト出力端子であり、メモリテスト装置13のテスト結果である出力データを出力する。14はメモリテスト装置13の第3の入力端子12に接続されたテストビット指定端子（制御信号指定端子）であり、有効ビットを指定するテストビット指定信号が入力される。

【0021】図3、図4、図5はそれぞれ上記第2の実施例によるメモリテスト装置の動作を示すタイミングチャートであり、それぞれ、テストビット指定信号が00H(00B)、FEH(1111110B)、FDH(11111101B)の場合の動作について示している。

【0022】次に、メモリテスト装置について説明する。なお、入力端子6に入力する入力データおよびメモリの読み書きの動作は従来例と同様とする。まず、メモリテスト装置13により、被テストメモリが正常であるか異常であるかのみを判定するために、図3に示すように、テストビット指定端子14に00H(00B)をテストビット指定信号として入力する。この場合は、メモリテスト装置13の第3の入力端子12にも00H(00B)が入力されるので、OR11a~11hの一方の入力に加えられる信号はすべてLレベルであり、メモリテスト装置13は全ビット有効となる。この場合は従来のメモリテスト装置8と同様に動作するので、タイミングチャートも図3に示すように従来例と同様である。

【0023】ここで、メモリ7が正常であるとき、メモリテスト装置13の第1の入力端子1及び第2の入力端子2には同じデータが入力されるので、出力端子5にはLレベルが現れる。例えば、図3において、2周期目のアドレス0ではメモリ7の入力データおよび出力データは共に00Hであるのでテスト出力はLレベルであり、このアドレス0のデータが期待値通りであることが判る。一方、メモリ7に何らかの異常があり、正しいデータが出力されない場合には、メモリテスト装置13の第1の入力端子1及び第2の入力端子2には異なるデータが入力されるので、出力端子5にはHレベルが現れる。例えば、図3において、2周期目のアドレス2、3で

は、メモリ7の入力データはそれぞれ22H(100010B)、33H(110011B)であるが、出力データに誤りがあり、それぞれ20H(100000B)、31H(110001B)が出力されている。つまり、アドレス2、3ではともに下位から2ビット目が不一致であるので、メモリテスト装置13からはHレベルが出力され、メモリ7が正しく動作していないことが判る。

【0024】次に、被テストメモリに何らかの異常があるということがわかり、さらに、どのビットが不良であるかを知りたいときには、テストビット指定信号により各ビットの正常、異常を調べる。図4に示すように、テストビット指定端子14にテストビット指定信号としてFEH(1111110B)が入力されている場合は、メモリテスト装置13の第3の入力端子12にもFEH(1111110B)が入力される。つまり、OR11a~11hの一方の入力に加えられる信号のうち、下位1ビット目に加えられる信号のみLレベルであるので、メモリテスト装置13は下位1ビット目のみ有効となる。よって、この場合の動作は、メモリ7の他のビットの正常、異常に係わらず、メモリ7の下位1ビット目が正常であれば出力端子5にはLレベルが、異常であればHレベルが現れることとなる。

【0025】例えば、図4において2周期目のアドレス2、3では、メモリ7の入力データとしてそれぞれ22H(100010B)、33H(110011B)が入力されているが、出力データに誤りがあり、それぞれ20H(100000B)、31H(110001B)が出力されており、下位から2ビット目が不一致である。しかし、ここではテストビット指定信号をFEH(1111110B)として、下位1ビット目についてのみメモリテスト装置13を有効としているので、下位2ビット目については異常でも下位1ビット目については正常であり、このビットでは第1の入力端子1及び第2の入力端子2のデータは期待値どおりであるので、メモリテスト装置13からはLレベルが出力され、メモリの下位1ビット目については正常であることが判る。

【0026】さらに、図5に示すように、テストビット指定端子14にテストビット指定信号としてFDH(11111101B)が入力されている場合は、メモリテスト装置13の第3の入力端子12にもFDH(11111101B)が入力される。つまり、OR11a~11hの一方の入力に加えられる信号のうち、下位2ビット目に加えられる信号のみLレベルであるので、メモリテスト装置13は下位2ビット目のみ有効となる。よって、この場合の動作では、メモリ7の他のビットの正常、異常に係わらず、メモリ7の下位2ビット目が正常であれば出力端子5にはLレベルが、異常であればHレベルが現れることとなる。

【0027】例えば、図5においてアドレス2、3で

は、メモリ7にそれぞれ入力データ22H(100010B), 33H(110011B)が入力されているが、出力データに誤りがあり、それぞれ20H(100000B), 21H(100001B)が出力されており、下位から2ビット目が不一致である。このとき、第3の入力端子12にはFDH(11111101B)が入力され、メモリテスト装置13を下位から2ビット目のみ有効としているので、出力端子5にはHレベルが現れ、2ビット目について異常があることが判る。

【0028】このように、上記第2の実施例では、上記第1の実施例と同様に多ビット出力のメモリをテストする際に、テストビット指定信号により有効とするビットを指定し、有効ビットのテスト結果のみをメモリテスト装置の出力として、1つの出力端子より出力するようにしたので、各ビット毎にテスト用の端子を設けることもなく、どのビットが不良であるかを1つの出力端子のみで容易に判定することができる。また、全てのビットを有効とするようなテストビット指定信号を設定することにより、メモリ全体の正常、異常を従来通り判定することもできる。

【0029】次に、この発明の第3の実施例によるメモリテスト装置を図について説明する。なお、このメモリテスト装置では、上記第1の実施例によるメモリテスト装置13を使用している。図6はこの発明の第3の実施例によるメモリテスト装置を説明するためのブロック図であり、図中、図2と同一符号のものは同一または相当部分を示す。図6において、15は入力データ入力端子6に接続され、一方の出力がメモリ7のデータ入力端子7aおよびメモリテスト装置13の第2の入力端子2に接続され、もう一方の出力がテストビット記憶装置16の入力端子に接続される切換スイッチであり、テストビット指定端子(制御信号指定端子)14に加えられる制御信号により、該制御信号がHレベルのときにはデータ入力端子6とテストビット記憶回路16とを接続し、Lレベルのときにはデータ入力端子6とメモリ7のデータ入力端子7aおよびメモリテスト装置13の第2の入力端子2とを接続するよう駆動される。16は前記制御信号指定端子14に入力される制御信号によって制御されるテストビット記憶回路であり、制御信号がHレベルのときには書き込みモードとなって、データ入力端子6に入力されるテストビット指定信号を該テストビット記憶回路内16に記憶し、制御信号がLレベルのときには読み出しモードとなって該テストビット記憶回路内16に記憶されていたテストビット指定信号をメモリテスト装置13に出力する。なお、制御信号指定端子14から出力される制御信号がHレベルのときには入力端子6にはテストビット指定信号が入力され、Lレベルのときには入力端子6にはメモリ7に書き込む入力データが入力される。図7はこの発明の第3の実施例によるメモリテスト装置の動作を示すタイミングチャートである。

【0030】例えば、図7に示すテストビット設定期間においては、制御信号指定端子14から出力される制御信号がHレベルとなっているので、入力端子6にはテストビット指定信号としてFDH(11111101B)が入力されている。このとき、切換スイッチ15はテストビット記憶回路16側に接続されるので、データ入力端子6とテストビット記憶回路16とが接続され、B点にはデータ入力端子6に入力されたテストビット指定信号FDH(11111101B)が現れる。一方、A点ではハイインピーダンス(Hi-Z)状態となっている。また、テストビット記憶回路16はHレベルの制御信号により書き込みモードとなっており、データ入力端子6に入力されたテストビット指定信号FDH(11111101B)を記憶する。

【0031】次に、テストビット設定期間後、制御信号指定端子14から出力される制御信号がLレベルとなると、データ入力端子6にはメモリ7に書き込む入力データが入力されるようになり、また、切換スイッチ15はメモリ7および第2の入力端子2側に切り換わり、データ入力端子6とメモリ7および第2の入力端子2とが接続され、A点には入力データが現れる。一方、B点ではハイインピーダンス状態となる。また、テストビット記憶回路16はLレベルの制御信号により読出モードとなり、記憶されていたテストビット指定信号が読み出されることにより、C点にFDH(11111101B)が現れ、これはメモリテスト装置13のテストビット指定端子12に入力される。これによりメモリテスト装置13は、下位から2ビット目のみ有効とすることになる。以下の動作については、上記第2の実施例と同様である。

【0032】このように、上記第3の実施例では、上記第1および第2の実施例と同様に、多ビット出力のメモリをテストする際に、テストビット指定信号により有効とするビットを指定し、有効ビットのテスト結果のみをメモリテスト装置の出力としたので、各ビット毎にテスト用の端子を設けることもなく、どのビットが不良であるかを1つの出力端子のみで容易に判定することができる。また、被テストメモリへ書き込むための入力データを入力するための入力端子に、テストビット設定期間中は、有効とするビットを指定するテストビット指定信号を入力するようにしたので、テストビット指定信号を入力するための端子を設ける必要はなくなり、端子数の増加を抑えることができる。

【0033】

【発明の効果】この発明に係るメモリテスト装置においては、多ビット出力のメモリをテストする際に、テストビット指定信号により有効とするビットを指定し、有効ビットのテスト結果のみをメモリテスト装置の出力として、1つの出力端子から出力することができるので、各ビット毎にテスト用の端子を設けることもなく、どのビットが不良であるかを1つの出力端子のみで容易に判定す

ることができるという効果がある。また、全てのビットを有効とするようなテストビット指定信号を設定することにより、メモリ全体の正常、異常を従来通り判定することもできるという効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例によるメモリテスト装置の構造を示す回路図である。

【図2】この発明の第2の実施例によるメモリテスト装置を説明するためのブロック図である。

【図3】この発明の第2の実施例によるメモリテスト装置の動作を示すタイミングチャートである。

【図4】この発明の第2の実施例によるメモリテスト装置の動作を示すタイミングチャートである。

【図5】この発明の第2の実施例によるメモリテスト装置の動作を示すタイミングチャートである。

【図6】この発明の第3の実施例によるメモリテスト装置を説明するためのブロック図である。

【図7】この発明の第3の実施例によるメモリテスト装置の動作を示すタイミングチャートである。

【図8】従来のメモリテスト装置の構成を示す回路図である。

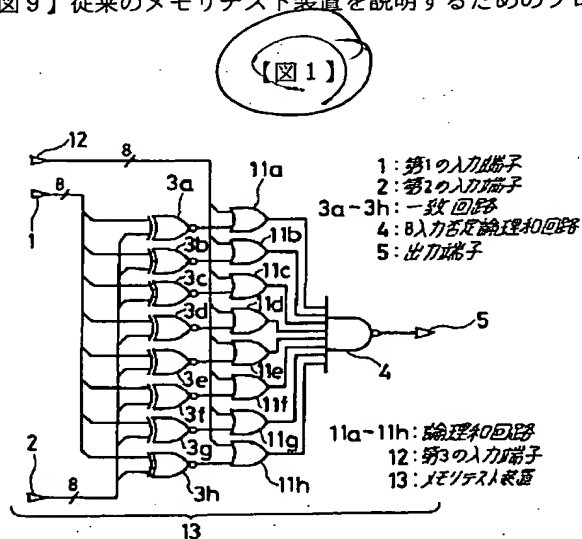
【図9】従来のメモリテスト装置を説明するためのブ

ック図である。

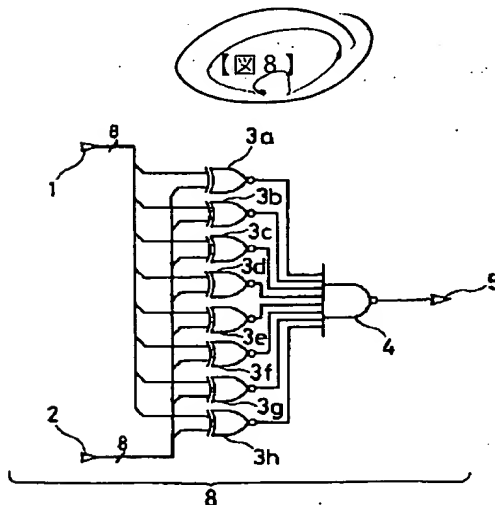
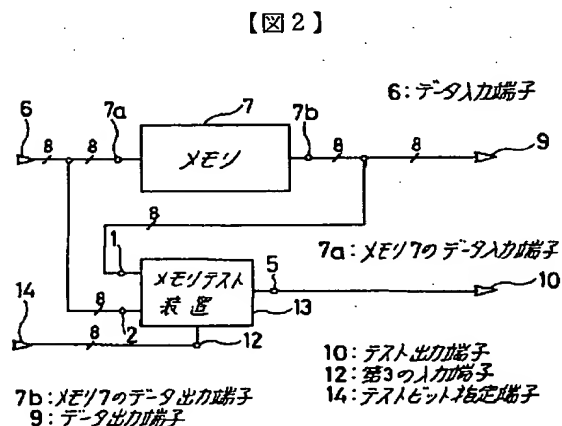
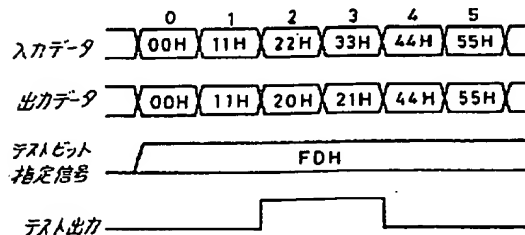
【図10】従来のメモリテスト装置の動作を示すタイミングチャートである。

【符号の説明】

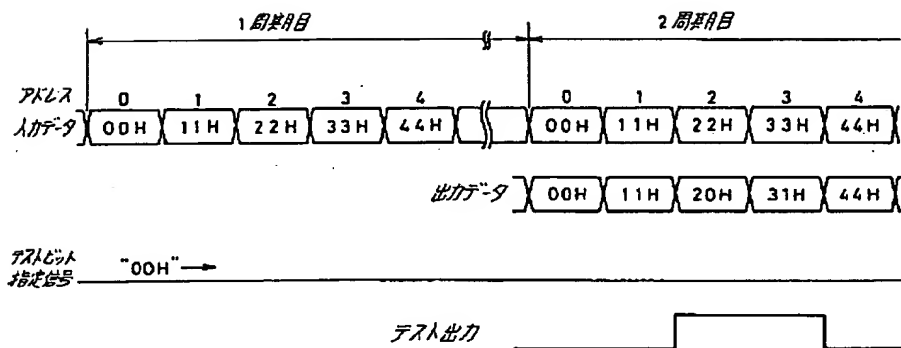
- 1 第1の入力端子
- 2 第2の入力端子
- 3 a～h 一致回路 (ENOR)
- 4 8入力否定論理和回路 (8入力NAND)
- 5 出力端子
- 6 データ入力端子
- 7 メモリ
- 7 a メモリ7のデータ入力端子
- 7 b メモリ7のデータ出力端子
- 9 データ出力端子
- 10 テスト出力端子
- 11 a～h 論理和回路 (OR)
- 12 第3の入力端子
- 13 メモリテスト装置
- 14 テストビット指定端子
- 15 切替スイッチ
- 16 テストビット記憶装置



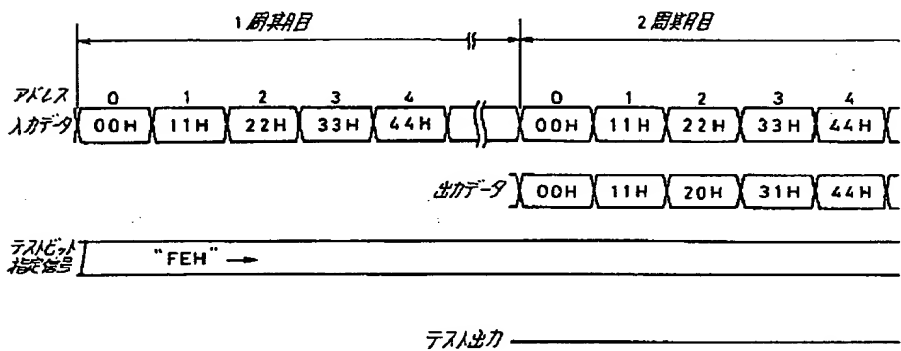
【図5】



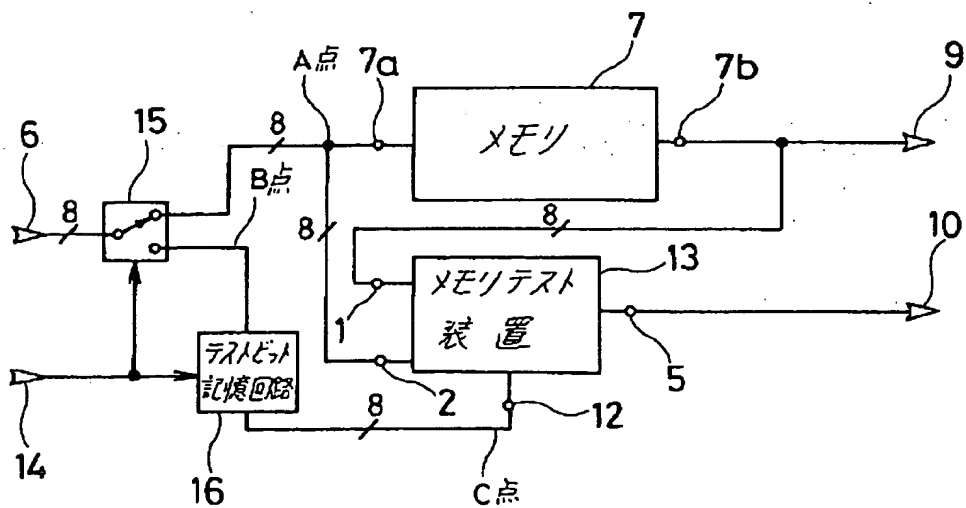
【図 3】



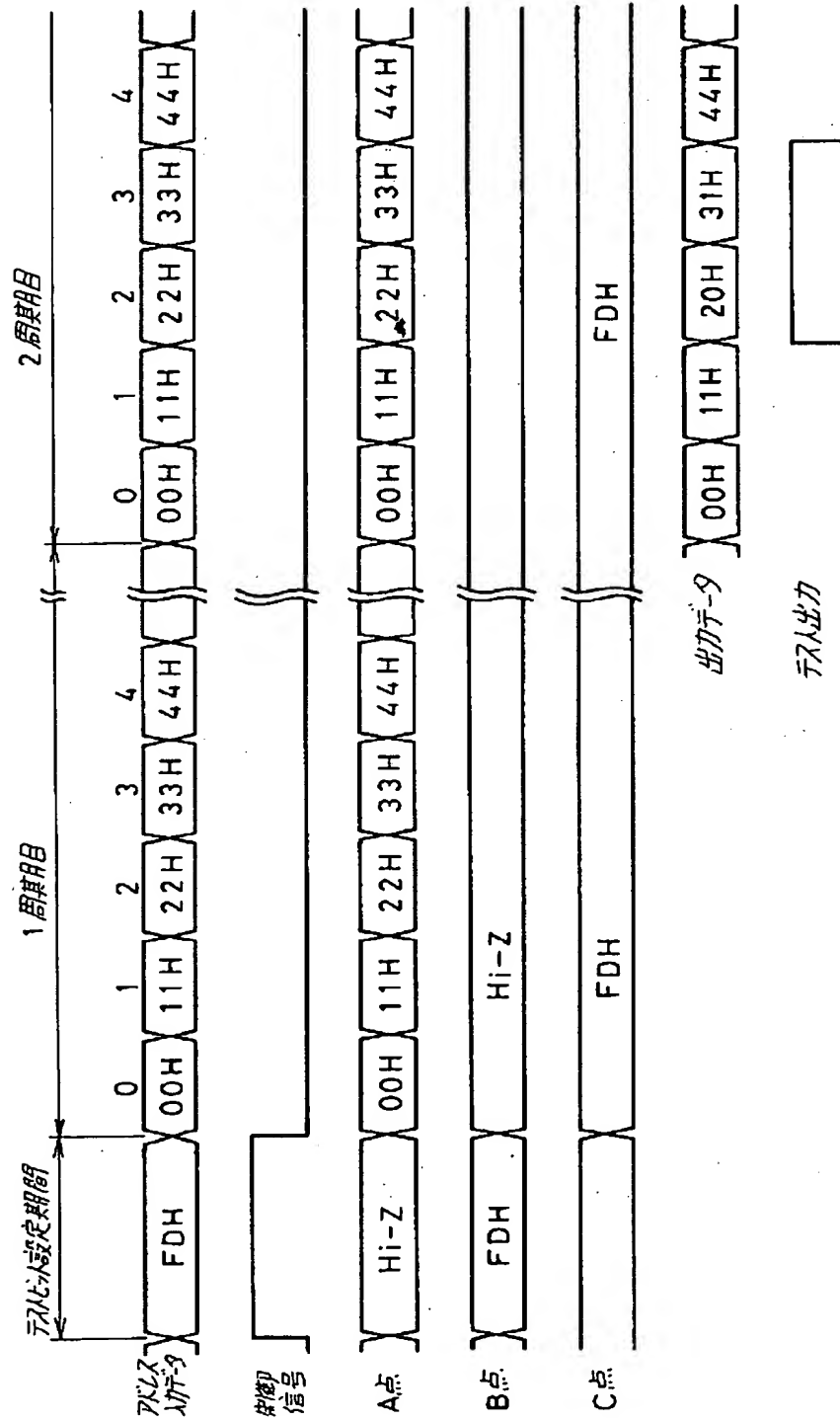
【図 4】



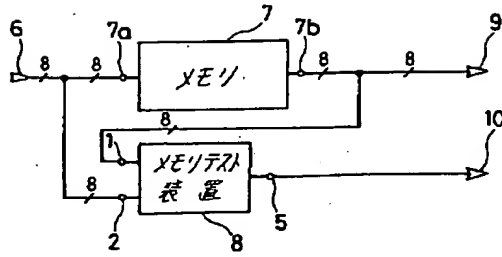
【图 6】



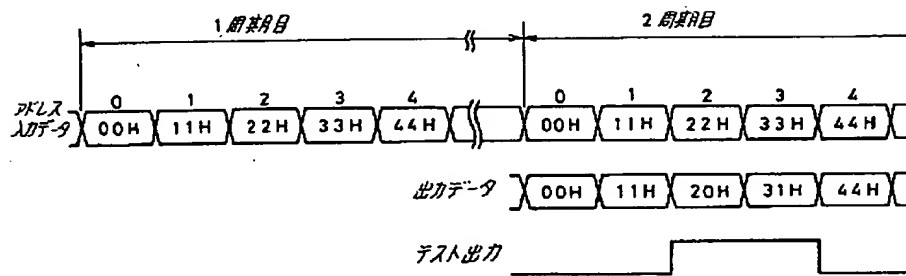
【図7】



【図 9】



【図 10】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成9年(1997)3月7日

【公開番号】特開平5-211000

【公開日】平成5年(1993)8月20日

【年通号数】公開特許公報5-2110

【出願番号】特願平4-46254

【国際特許分類第6版】

G11C 29/00 303

G01R 31/28

【F I】

G11C 29/00 303 A 9459-5L

G01R 31/28 B 9308-2G

【手続補正書】

【提出日】平成8年4月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 多ビット出力の被テストメモリに書き込まれた書き込みデータを読み出した第1のデータと、前記書き込みデータと同じ内容の第2のデータとを比較し、それらの内容の一致、不一致を判定することにより前記被テストメモリをテストするものであって、前記第1および第2のデータがそれぞれ入力される第1および第2の入力端子と、前記第1および第2のデータのそれぞれのビットについてデータ内容の一致、不一致を判定し、これら判定結果を一致出力または不一致出力として出力する第1の判定手段と、前記第1の判定手段の判定結果のうち1つ以上の所定のビットの判定結果を有効とする有効化手段と、前記有効化手段により有効とされたビットの判定結果のすべてが一致出力であるかどうかを判定する第2の判定手段とを備えたメモリテスト装置において、

前記被テストメモリの出力および入力をそれぞれ第1および第2の入力端子に接続し、

前記被テストメモリの入力と第2の入力端子の接続点に、第2のデータが入力される第2データ入力端子を接続し、

有効とするビットを指定するテストビット指定信号が入力されるテストビット指定端子を前記メモリテスト装置の有効化手段に接続して被テストメモリのテストを行うことを特徴とするメモリテスト装置。

【請求項2】 多ビット出力の被テストメモリに書き込まれた書き込みデータを読み出した第1のデータと、前記書き込みデータと同じ内容の第2のデータとを比較

し、それらの内容の一致、不一致を判定することにより前記被テストメモリをテストするものであって、前記第1および第2のデータがそれぞれ入力される第1および第2の入力端子と、前記第1および第2のデータのそれぞれのビットについてデータ内容の一致、不一致を判定し、これら判定結果を一致出力または不一致出力として出力する第1の判定手段と、前記第1の判定手段の判定結果のうち1つ以上の所定のビットの判定結果を有効とする有効化手段と、前記有効化手段により有効とされたビットの判定結果のすべてが一致出力であるかどうかを判定する第2の判定手段とを備えたメモリテスト装置において、

前記被テストメモリの出力および入力をそれぞれ第1および第2の入力端子に接続し、有効とするビットを指定するテストビット指定信号を記憶する記憶手段を前記メモリテスト装置の有効化手段に接続し、

前記テストビット指定信号及び第2のデータが入力されるデータ入力端子と、前記記憶手段あるいは前記被テストメモリの入力と第2の入力端子の接続点とのいずれかの接続を切り換えるスイッチ手段を、データ入力端子と、接続点および記憶手段との間に接続し、

前記記憶手段とスイッチ手段の動作を制御信号によって制御して被テストメモリのテストを行うことを特徴とするメモリテスト装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】

【課題を解決するための手段】この発明に係るメモリテスト装置は、多ビット出力の被テストメモリに書き込まれた書き込みデータを読み出した第1のデータと、前記

書き込みデータと同じ内容の第2のデータとを比較し、それらの内容の一致、不一致を判定することにより前記被テストメモリをテストするものであって、前記第1および第2のデータがそれぞれ入力される第1および第2の入力端子と、前記第1および第2のデータのそれぞれのビットについてデータ内容の一致、不一致を判定し、これら判定結果を一致出力または不一致出力として出力する第1の判定手段と、前記第1の判定手段の判定結果のうち1つ以上の所定のビットの判定結果を有効とする有効化手段と、前記有効化手段により有効とされたビットの判定結果のすべてが一致出力であるかどうかを判定する第2の判定手段とを備えたメモリテスト装置において、前記被テストメモリの出力および入力をそれぞれ第1および第2の入力端子に接続し、前記被テストメモリの入力と第2の入力端子の接続点に、第2のデータが入力される第2データ入力端子を接続し、有効とするビットを指定するテストビット指定信号が入力されるテストビット指定端子を前記メモリテスト装置の有効化手段に接続して被テストメモリのテストを行うようにしたものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また、この発明に係るメモリテスト装置は、多ビット出力の被テストメモリに書き込まれた書き込みデータを読み出した第1のデータと、前記書き込み

データと同じ内容の第2のデータとを比較し、それらの内容の一致、不一致を判定することにより前記被テストメモリをテストするものであって、前記第1および第2のデータがそれぞれ入力される第1および第2の入力端子と、前記第1および第2のデータのそれぞれのビットについてデータ内容の一致、不一致を判定し、これら判定結果を一致出力または不一致出力として出力する第1の判定手段と、前記第1の判定手段の判定結果のうち1つ以上の所定のビットの判定結果を有効とする有効化手段と、前記有効化手段により有効とされたビットの判定結果のすべてが一致出力であるかどうかを判定する第2の判定手段とを備えたメモリテスト装置において、前記被テストメモリの出力および入力をそれぞれ第1および第2の入力端子に接続し、有効とするビットを指定するテストビット指定信号を記憶する記憶手段を前記メモリテスト装置の有効化手段に接続し、前記テストビット指定信号及び第2のデータが入力されるデータ入力端子と、前記記憶手段あるいは前記被テストメモリの入力と第2の入力端子の接続点とのいずれかの接続を切り換えるスイッチ手段を、データ入力端子と、接続点および記憶手段との間に接続し、前記記憶手段とスイッチ手段の動作を制御信号によって制御して被テストメモリのテストを行うようにしたものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除